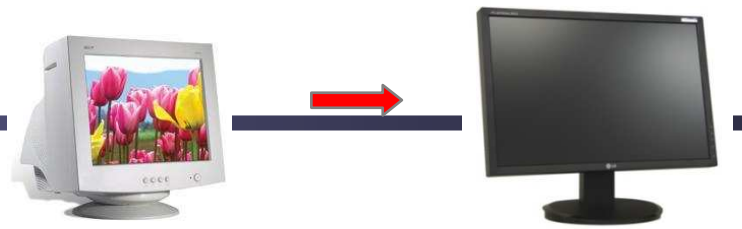
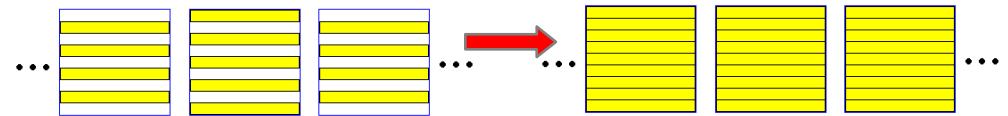


背景・目的



□ 液晶ディスプレイの普及

- 高画質、高解像度の要求



□ デインタレース

- インタレース動画像をプログレッシブ動画像に変換する処理
- 液晶テレビへの組み込み
 - ⇒ ハードウェアによるリアルタイム処理
- さまざまな手法が存在
 - ⇒ 現在は動き補償による手法が主流

動き補償による手法

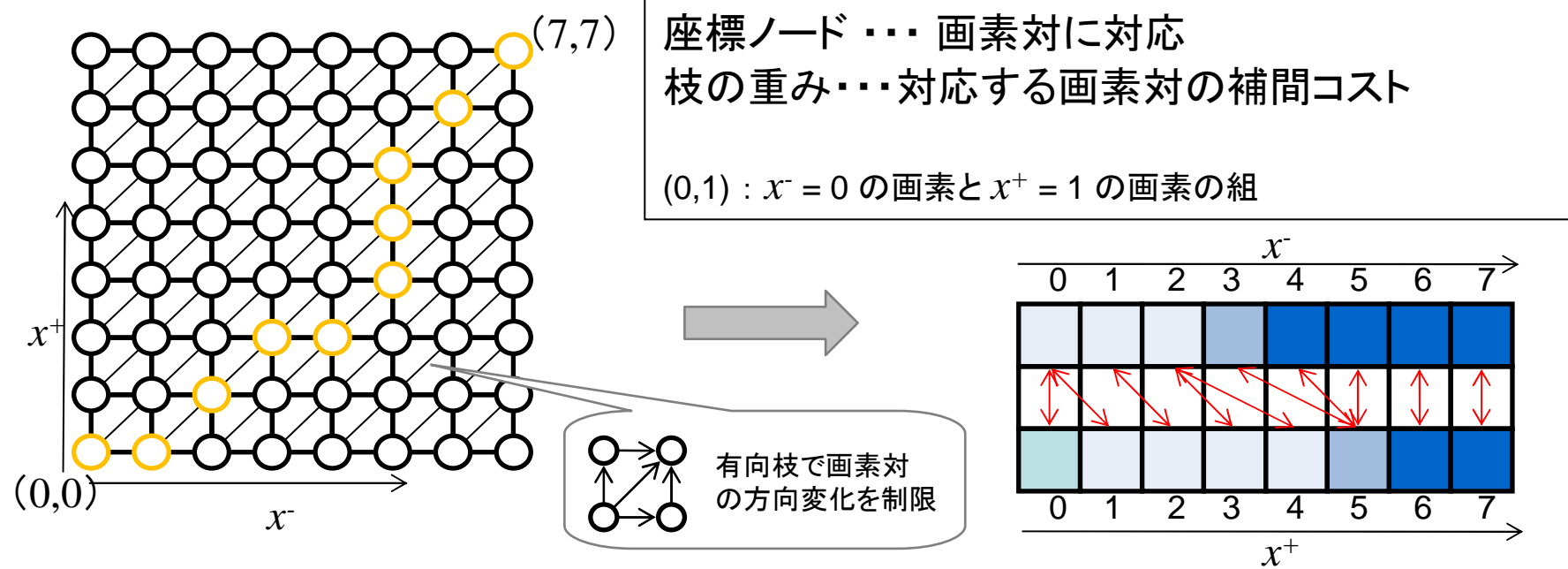
- 高い補間精度
- 膨大な演算量
 - ⇒ ハードウェアコスト高

新たなデインタレース処理のハードウェアアーキテクチャを検討

- 補間精度を維持しつつ、低コスト化
 - インペインティングに基づく手法[1]を用いたアーキテクチャを提案
- 更なる高画質化

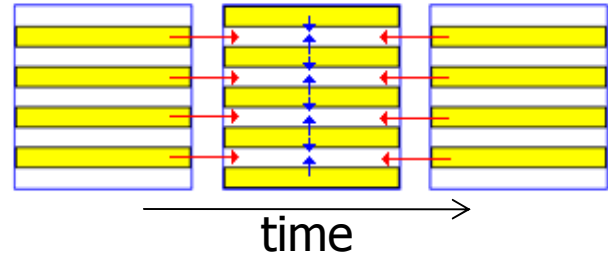
インペインティングに基づくデインタレース手法[1]

□ 複数の画素対によってラインを補間



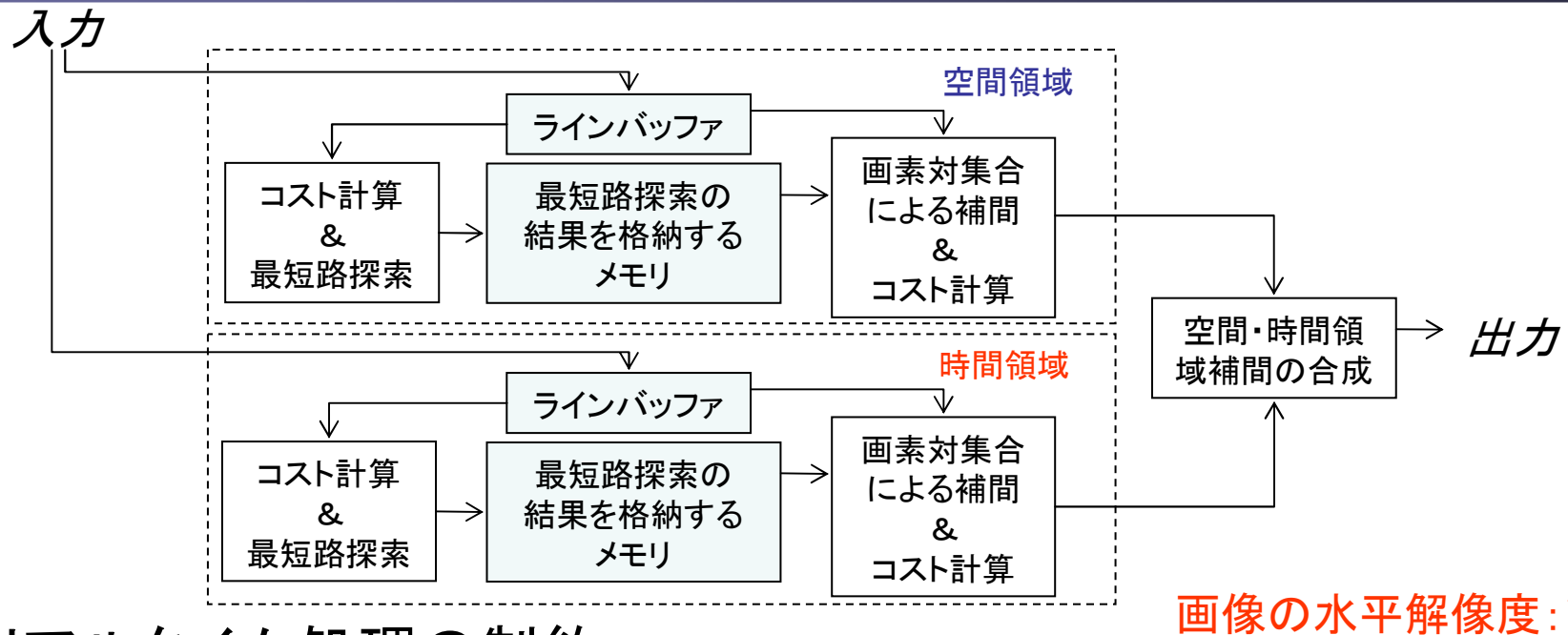
最短路探索によって補間に必要な画素対の集合を求める

□ 空間領域補間と時間領域補間の結果を組み合わせ補間精度を向上



[1] C. Ballester et al., "An Inpainting- Based Deinterlacing Method," IEEE Trans. IP, Vol. 16, No. 10, Oct. 2007.

アーキテクチャ概要図



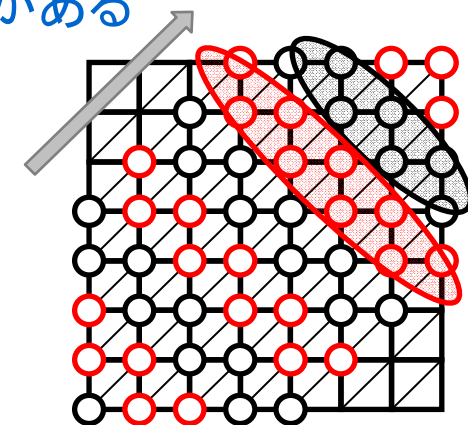
リアルタイム処理の制約

- 1ラインの補間処理を、制限時間内に完了する必要がある

制限時間 (Full HD)

= 約 3,900 サイクル @ 124MHz (2ライン分の出力時間に相当)

最短路探索 ⇒ 結果の読み出しの部分にデータハザードが存在
⇒ リアルタイム処理実現のために、処理サイクル数を抑えた最短路探索を実装



実装結果

- 提案アーキテクチャを HDL にて設計し、0.13 μ m CMOS テクノロジを用いて合成した
 - $W = 1920$ (Full HDの場合)

ゲート数@166MHz	最大動作周波数	SRAM量
942,998	199 MHz	390 Kbit

提案アーキテクチャの
1ライン分の補間にかかる時間

約4000サイクル@166MHz



リアルタイム制限時間

約3900サイクル@124MHz
=約5000サイクル@166MHz