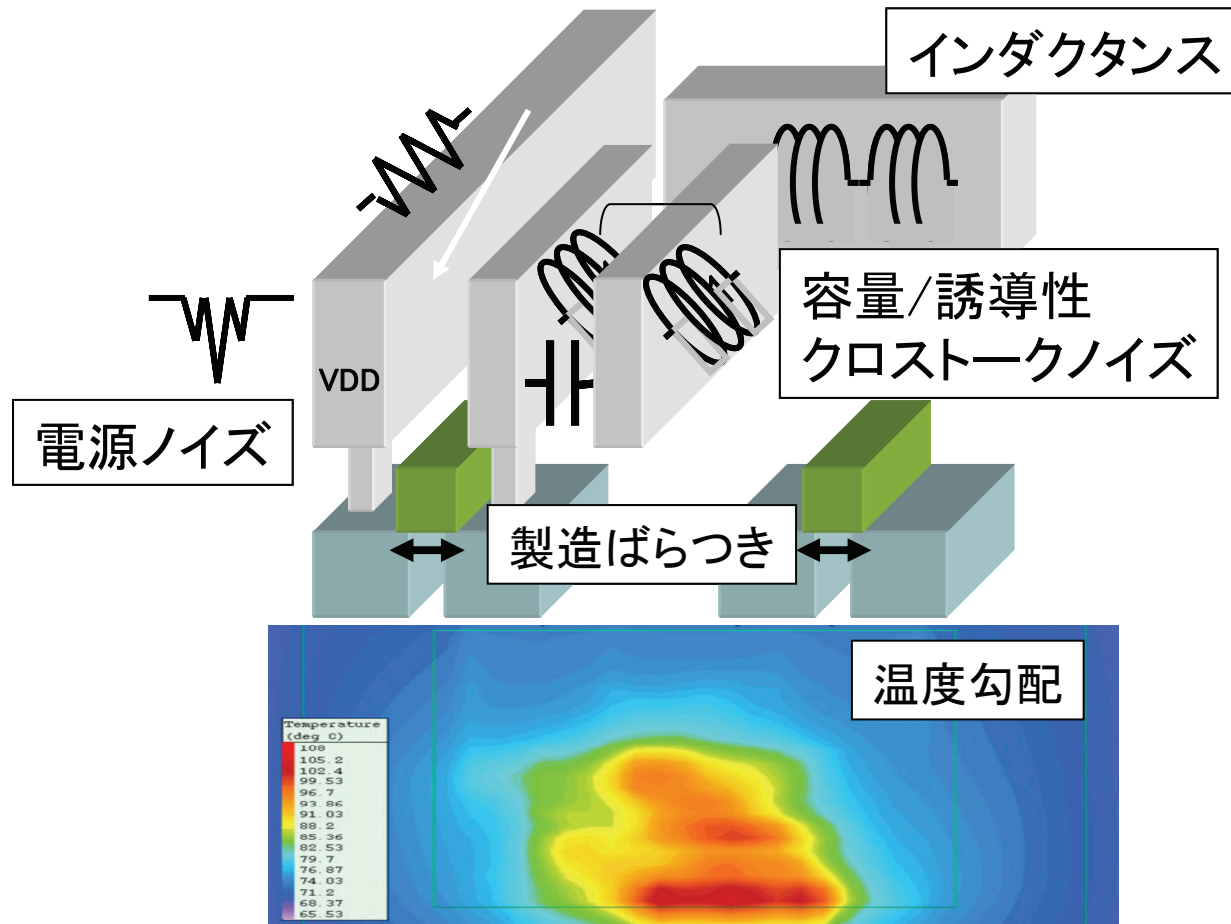


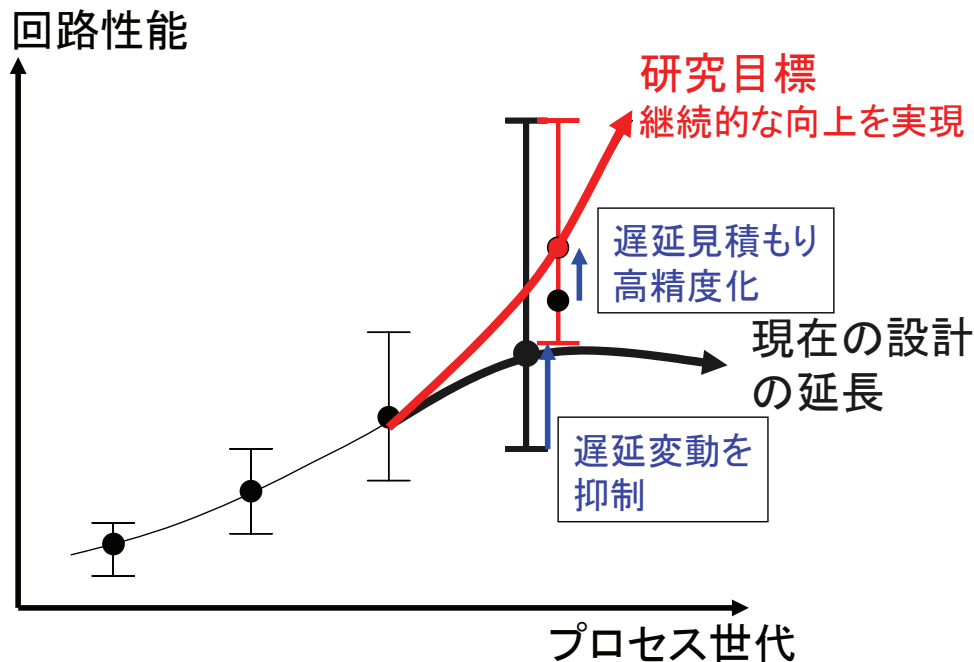
# 微細化、高速化に伴う遅延変動



微細化の恩恵が享受できず、  
回路性能の向上が止まる危機

# 研究目標と研究課題

## 微細化による継続的な性能向上を実現する回路設計技術の構築



- 遅延を正確に見積もる技術
  - 実測による物理現象の解明
- 遅延変動を抑制する技術
  - 遅延変動が少なく、予測性が高い設計プラットフォーム

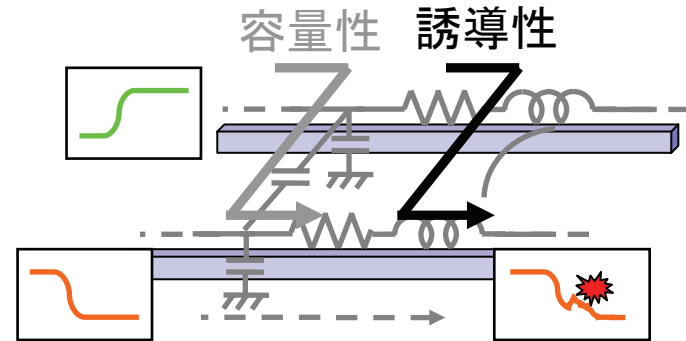
# 誘導性クロストークの実測(1/2)

[Ogasahara, CICC2006]

## ■ 誘導性クロストークの深刻化

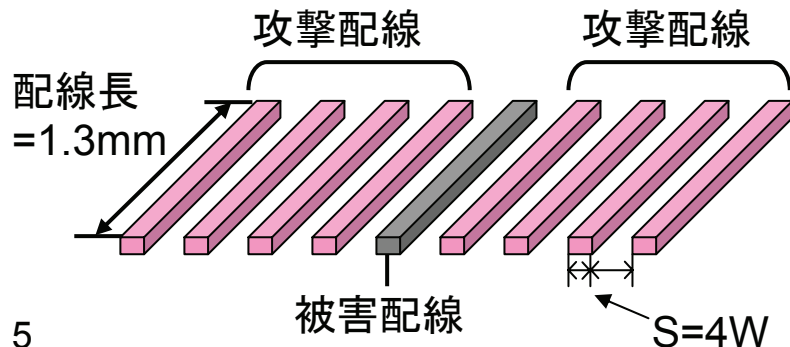
- 信号周波数の増加 →  $\omega L$  増加

- ▶
  - 測定結果が少なく、実チップ上で影響があるか不明
  - シミュレーション用モデルの検証が必要



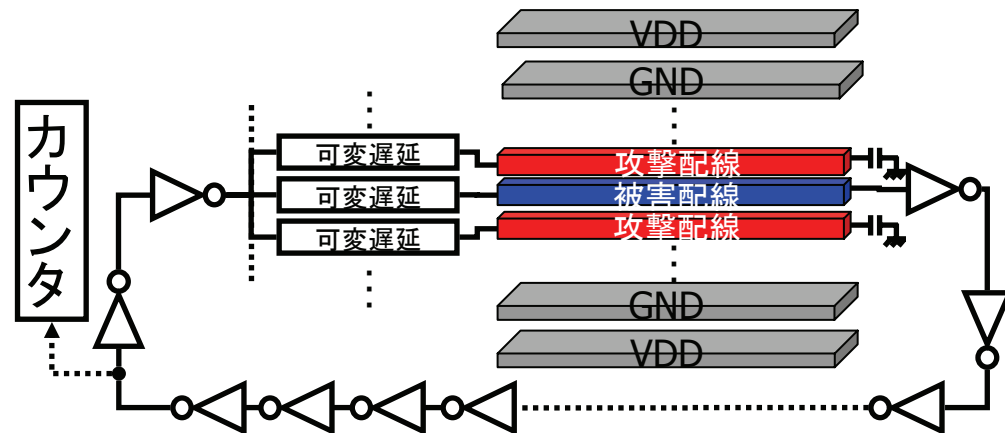
## 測定用配線構造

- 誘導性クロストークの影響が顕著となる構造



## 測定回路

- ノイズによる遅延変動の測定



# 誘導性クロストークの実測(2/2)

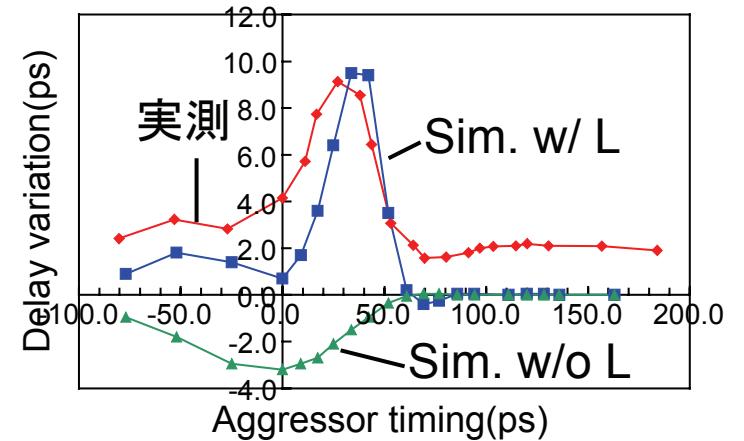
[Ogasahara, CICC2006]

ノイズによる遅延変動を測定、評価

## ■ 実測とシミュレーションの比較

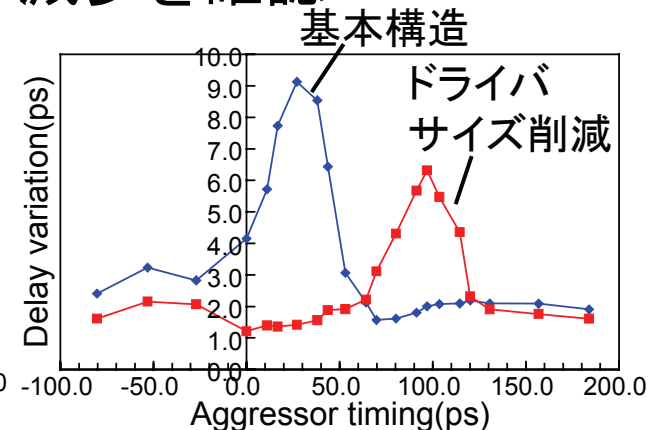
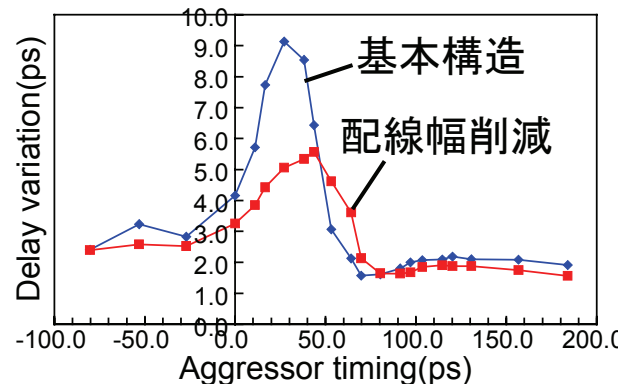
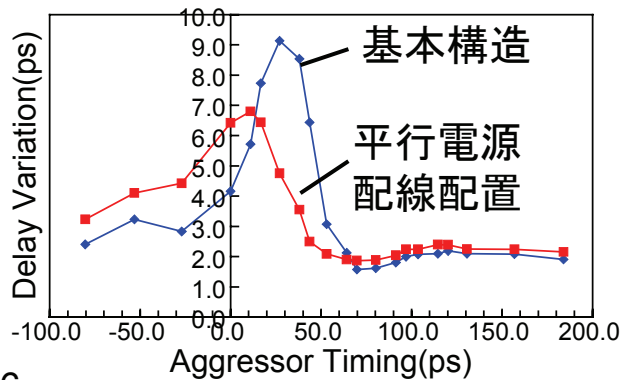
□ シミュレーションと合致

→配線モデルの正当性を確認



## ■ 誘導性クロストーク削減手法を用いたTEGの測定

□ 誘導性クロストークによる遅延変動の減少を確認



# 電源ノイズの実測(1/2)

[Ogasahara, CICC2006]

## ■ 電源ノイズ解析手法の実測による検証

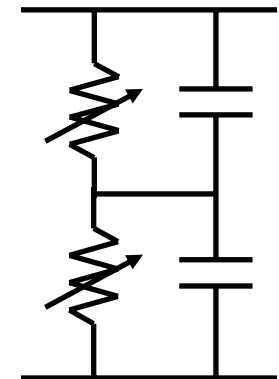
### □ フルチップシミュレーション手法

- MOSを線形素子に変換して高速化
- 精度を実測により検証

### □ 平均電圧ドロップからの遅延推定

- 平均電圧ドロップにより、ノイズ波形を用いずに遅延を予測することが可能
- シミュレーションによる議論を実測にて確認

可変抵抗スイッチモデル



# 電源ノイズの実測(2/2)

[Ogasahara, CICC2006]

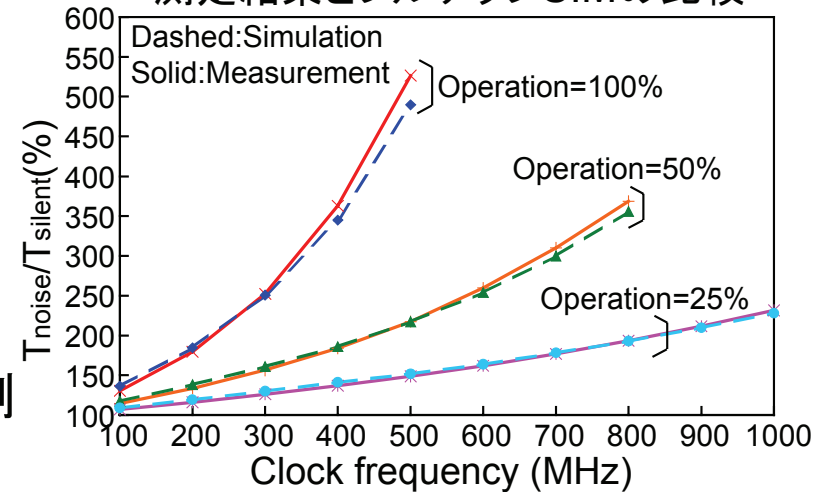
## ■ 線形素子によるフルチップシミュレーション

- シミュレーション結果は測定結果を良い精度で再現

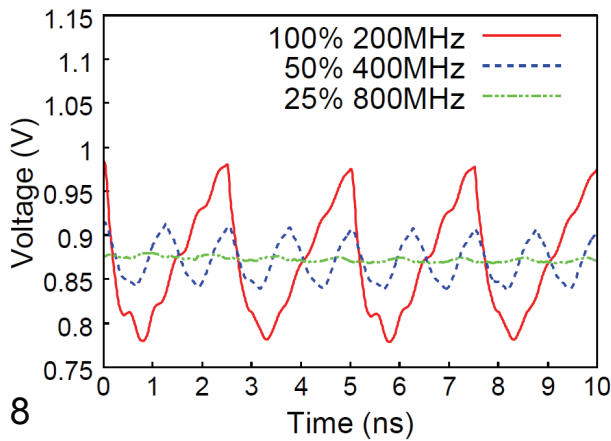
## ■ 平均電圧ドロップと遅延

- クロック×動作率が同じ=同じ平均電圧ドロップで形状の異なる波形
- 同じ平均電圧下でほぼ同じ遅延を観測

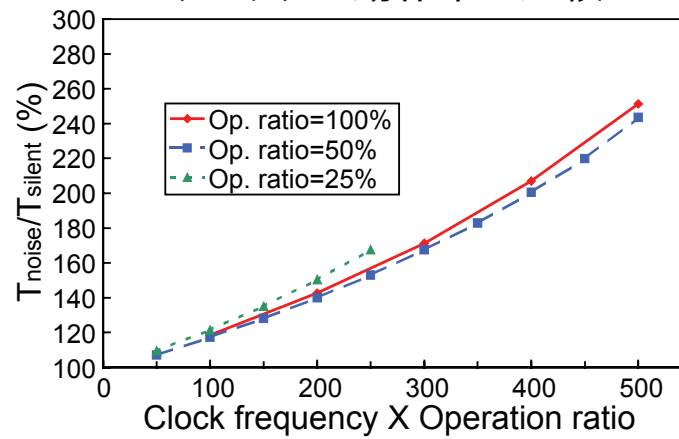
測定結果とフルチップSIMの比較



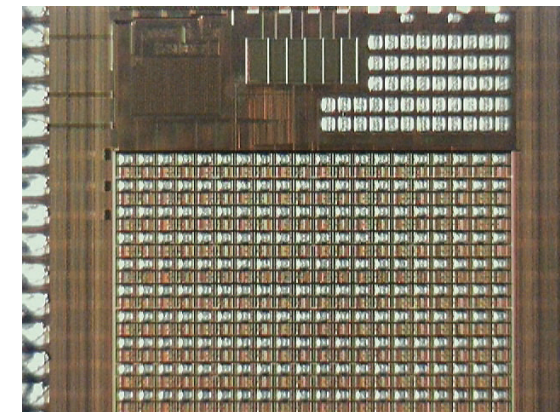
クロック×動作率が同じ波形(SIM)



クロック×動作率で比較



測定チップ写真(90nm プロセス)

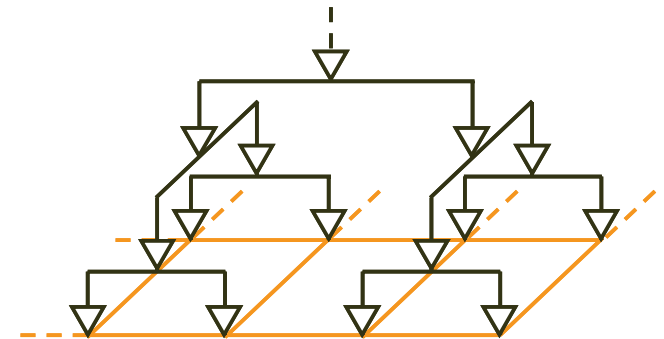


# 遅延変動を抑制し予測性を高める 設計技術

## ■ 堅牢なクロック分配網設計技術

- 与えられた製造ばらつき条件に適した必要十分なクロック分配を設計

- トポロジ
- 配線、バッファ設計
- 製造後のタイミング調整機構



## ■ 基板電位制御による遅延ばらつき抑制技術

- 特に低電圧動作時に注目し、オーバーヘッドの小さい回路構造の検討